

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-250076

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 4 L 12/28
12/26
29/14

9466-5K

H 0 4 L 11/ 20

D

9466-5K

11/ 12

審査請求 未請求 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-38869

(22) 出願日 平成6年(1994)3月9日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 伊藤 新

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72) 発明者 宮保 憲治

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

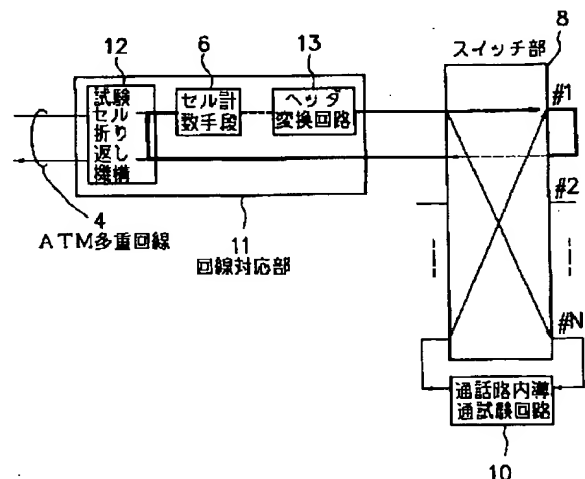
(74) 代理人 弁理士 吉田 精孝

(54) 【発明の名称】 ATM交換機等の回線対応部の試験方式

(57) 【要約】

【目的】 回線対応部の全ての論理チャネルの試験を1回の試験で行うことができ、試験時間を大幅に短縮し得る試験方式を提供する。

【構成】 回線対応部11に、試験セルを折り返す試験セル折り返し機構12及び試験セルが該回線対応部11を通過する毎に試験セル内のVPI/VCI値を順次変化するヘッダ変換回路13を設けることにより、通話路内導通試験回路10で生成された試験セルを回線対応部11とスイッチ部8との間で論理チャネルを変えながら繰り返し導通させ、これによって回線対応部11の全ての論理チャネルに対する試験を実行する。



【特許請求の範囲】

【請求項 1】 一の ATM 多重回線とスイッチ部との間に介在し、セル計数等の種々の機能を複数の論理チャンネル毎に実行する回線対応部を試験する ATM 交換機等の回線対応部の試験方式において、試験セル生成手段及び試験セル照合手段を有する試験装置をスイッチ部に接続し、回線対応部に、試験セルを折り返す試験セル折り返し機構及び試験セルが該回線対応部を通過する毎に試験セル内の VPI/VCI 値を順次変化させるヘッダ変換回路を設けたことを特徴とする ATM 交換機等の回線対応部の試験方式。

【請求項 2】 一の ATM 多重回線とスイッチ部との間に介在し、セル計数等の種々の機能を複数の論理チャンネル毎に実行する回線対応部を試験する ATM 交換機等の回線対応部の試験方式において、試験セル生成手段及び試験セル照合手段を有する試験装置をスイッチ部に接続し、複数の回線対応部にそれぞれ、試験セルを折り返す試験セル折り返し機構及び試験セルが該複数の回線対応部を通過する毎に試験セル内の VPI/VCI 値を順次変化させるヘッダ変換回路を設けたことを特徴とする ATM 交換機等の回線対応部の試験方式。

【請求項 3】 複数のヘッダ変換回路のうちの一のヘッダ変換回路のみが試験セル内の VPI/VCI 値を順次変化させることを特徴とする請求項 2 記載の ATM 交換機等の回線対応部の試験方式。

【請求項 4】 ヘッダ変換回路をスイッチ部に設けたことを特徴とする請求項 1 乃至 3 いずれか記載の ATM 交換機等の回線対応部の試験方式。

【請求項 5】 試験装置を回線対応部内に設けたことを特徴とする請求項 1 乃至 4 いずれか記載の ATM 交換機等の回線対応部の試験方式。

【請求項 6】 回線対応部より回線側に接続された外部装置で生成され、該回線対応部に挿入された試験セルを用いることを特徴とする請求項 1 乃至 5 いずれか記載の ATM 交換機等の回線対応部の試験方式。

【請求項 7】 試験装置より複数の試験セルを連続して送出するようになったことを特徴とする請求項 1 乃至 6 いずれか記載の ATM 交換機等の回線対応部の試験方式。

【請求項 8】 試験装置より複数の試験セルを連続して送出するとともに各回線対応部毎に試験セルの通過回数を変化させたことを特徴とする請求項 2 または 3 記載の ATM 交換機等の回線対応部の試験方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM (Asynchronous Transfer Mode) 交換機等の回線対応部を試験する方式に関するものである。

【0002】

【従来の技術】 従来、ATM 交換機等の ATM 通信装置において、一の ATM 多重回線とスイッチ部との間に介在し、セル計数やヘッダ変換等の種々の機能を複数の論理チャンネル毎に実行する回線対応部を試験する場合には、試験セル生成手段及び試験セル照合手段を有する試験装置を ATM 多重回線を介して該回線対応部に接続し、1 チャンネル毎に試験セルを導通させて行っていた。

【0003】 図 2 は前述した従来の試験方式の一例を示すもので、図中、1 は試験セル生成手段 2 及び試験セル照合手段 3 を有する試験装置、4 は ATM 多重回線、5 は複数の論理チャンネル毎にセル計数を実行するセル計数手段 6 や複数の論理チャンネル毎にヘッダ変換を実行するヘッダ変換回路 7 等を有する回線対応部、8 はスイッチ部、9 は回線対応部 5 及びスイッチ部 8 を含む ATM 交換機である。

【0004】

【発明が解決しようとする課題】 ところで、前記回線対応部の論理チャンネル数、即ち多重度は通常、数千チャンネルに及ぶ。従って、前述した従来の試験方式では、全ての論理チャンネルの試験を行うために 1 チャンネル毎の導通試験を数千回行う必要があり、多大な試験時間を要するという問題があった。また、回線対応部内において規定されている最大セル速度を用いた回線対応部の導通試験を行うためには、例えば図 2 中の A 点で規定されている最大セル速度に相当する試験セル流を生成可能な試験装置を用意する必要があり、回線対応部の高速化に合せて試験装置を高速化しなければならないという問題があった。さらにまた、1 台の ATM 交換機が異なる速度種別を有する複数の回線対応部を同時に収容している場合には、該 1 台の ATM 交換機の回線対応部を試験するために種々の試験装置を用意しなければならないという問題があった。

【0005】 本発明の第 1 の目的は、回線対応部の全ての論理チャンネルの試験を 1 回の試験で行うことができ、試験時間を大幅に短縮し得る試験方式を提供することにある。

【0006】 本発明の第 2 の目的は、複数の回線対応部の全ての論理チャンネルの試験を 1 回の試験で行うことができ、試験時間を大幅に短縮し得る試験方式を提供することにある。

【0007】 本発明の第 3 の目的は、回線対応部内において規定されている最大セル速度を用いた回線対応部の試験を、セル生成速度がそれより小さい試験装置を用いて実現し得る試験方式を提供することにある。

【0008】 本発明の第 4 の目的は、異なる速度種別を有する複数の回線対応部を 1 種類の試験装置を用いて試験し得る試験方式を提供することにある。

【0009】

【課題を解決するための手段】 本発明では、前記第 1 の

3

目的を達成するため、試験セル生成手段及び試験セル照合手段を有する試験装置をスイッチ部に接続し、回線対応部に、試験セルを折り返す試験セル折り返し機構及び試験セルが該回線対応部を通過する毎に試験セル内のVPI/VCI値を順次変化させるヘッダ変換回路を設けた。

【0010】また、前記第2の目的を達成するため、試験セル生成手段及び試験セル照合手段を有する試験装置をスイッチ部に接続し、複数の回線対応部にそれぞれ、試験セルを折り返す試験セル折り返し機構及び試験セルが該複数の回線対応部を通過する毎に試験セル内のVPI/VCI値を順次変化させるヘッダ変換回路を設けた。

【0011】また、前記第3の目的を達成するため、試験装置より複数の試験セルを連続して送出するようになった。

【0012】また、前記第4の目的を達成するため、試験装置より複数の試験セルを連続して送出するとともに各回線対応部毎に試験セルの通過回数を変化させた。

【0013】

【作用】本発明によれば、試験装置の試験セル生成手段で生成された、所定の論理チャネルに対応したVPI/VCI値を有する試験セルはスイッチ部を介して回線対応部に送出され、試験セル折り返し機構で折り返される。該折り返された試験セルはヘッダ変換回路によりVPI/VCI値が変換され、別の論理チャネルを介して再び前記回線対応部に送出される。これが繰り返されて試験セルは全ての論理チャネルを通過し、試験装置に戻され、試験セル照合手段にて照合され、ビット誤り等がなければ回線対応部の全論理チャネルが正常であると判定する。

【0014】また、本発明によれば、試験装置の試験セル生成手段で生成された、所定の論理チャネルに対応したVPI/VCI値を有する試験セルはスイッチ部を介して一の回線対応部に送出され、試験セル折り返し機構で折り返される。該折り返された試験セルは前記スイッチ部を介して他の回線対応部に送出され、前記同様にその試験セル折り返し機構で折り返されるが、その過程においてヘッダ変換回路によりVPI/VCI値が変換され、別の論理チャネルを介して再び前記一の回線対応部に送出される。これが繰り返されて試験セルは全ての論理チャネルを通過し、試験装置に戻され、試験セル照合手段にて照合され、ビット誤り等がなければ複数の回線対応部の全論理チャネルが正常であると判定する。

【0015】また、本発明によれば、試験装置より連続して送出された複数の試験セルはスイッチ部及び回線対応部で形成されるループ上で多重され、みかけ上、高速、例えば回線対応部内において規定されている最大セル速度のセル流となって回線対応部に入力される。

【0016】また、本発明によれば、試験装置より連続

4

して送出された複数の試験セルはスイッチ部及び回線対応部で形成されるループ上で多重され、みかけ上、高速のセル流となるが、その通過回数が各回線対応部毎に異なることにより、回線対応部の速度種別に応じた速度のセル流となって各回線対応部に入力される。

【0017】

【実施例1】図1は本発明方式の第1の実施例を示すもので、図中、従来例と同一構成部分は同一符号をもって表す。即ち、4はATM多重回線、8はスイッチ部、10は通話路内導通試験回路、11は回線対応部である。

【0018】通話路内導通試験回路10は試験セル生成手段及び試験セル照合手段（共に図示せず）を有する試験装置であり、一面構成のスイッチ部8に接続されている。また、回線対応部11はセル計数手段6とともに、通話路内導通試験回路10で生成されスイッチ部8から出力される試験セルを折り返す試験セル折り返し機構12及び試験セル内のVPI/VCI値を該回線対応部11を通過する毎に順次変化させるヘッダ変換回路13を有している。

【0019】試験セル折り返し機構12における試験セルの折り返し条件としては、セルレベルでフィルタリングを行うことにより試験セルのみを折り返す場合や、物理的に全てのセルを折り返す場合等が考えられるが、本発明はいずれの場合においても適用が可能である。また、回線対応部11よりATM多重回線4側にケーブル折り返しを設けて物理的な折り返しを実現し、試験セル折り返し機構を代用させるようににしても良い。さらにまた、回線対応部11にATM多重回線4を介して接続される外部装置（図示せず）の試験セル折り返し機構により試験セルの折り返しを行うようにしても良い。

【0020】図3は本発明方式の第1の実施例の変形例を示すもので、ここではヘッダ変換回路がスイッチ部に設けられたATM交換機への適用例を示す。即ち、図中、8aはスイッチ部であり、物理的な入力端子毎にヘッダ変換回路13が設けられている。なお、11aは回線対応部であり、ヘッダ変換回路13がない点を除いて回線対応部11と同一である。

【0021】後述するように、本発明では試験セル折り返し機構及びヘッダ交換回路の機能を組み合わせて試験セルを周期的に導通させることが本質であるので、その効果はヘッダ変換回路の搭載位置には依存しない。また、本発明の効果は試験セルの生成部位や照合部位にも無関係であるから、通話路内導通試験回路は必ずしもスイッチ部に接続される必要はない。

【0022】図4は本発明方式の第1の実施例の他の変形例を示すもので、ここでは通話路内導通試験回路が回線対応部に設けられたATM交換機への適用例を示す。即ち、図中、11bは回線対応部であり、前述したセル計数手段6、試験セル折り返し機構12及びヘッダ変換回路13とともに通話路内導通試験回路10が設けられ

ている。

【0023】図5は本発明方式の第1の実施例におけるヘッダ変換のようすの一例を示すもので、以下、図1及び図5に基づいて本発明方式を説明する。

【0024】前述したように、回線対応部11はセル計数手段6やヘッダ変換回路13を備えているが、これらは論理チャネル毎に個別に動作するように設定されている。従って、回線対応部11の諸機能が正常に動作することを確認するためには全ての論理チャネルに対して試験セルを導通させることにより、チャネル毎の試験を実施する必要がある。

【0025】従来は、回線対応部11のATM多重回線側に試験セル生成手段及び照合手段を有する試験装置を接続してチャネル毎に試験セルを導通させて検証するか、通話路内導通試験回路から試験セルを送出してチャネル毎に個別に試験セルを導通させることにより試験を行っていたが、本発明では試験セルを回線対応部11とスイッチ部8との間で周期的に論理チャネルを変えながら導通させることにより1度の試験で全論理チャネルの試験を行う。

【0026】この試験を実行するため、ヘッダ変換回路13内の変換テーブル14に対して図5に示すような設定を行う。本図において、A～ZはセルのVPI (Virtual Path ID) / VCI (Virtual Channel ID) 値を意味する。変換テーブル14にAという値を有する試験セルが到着した場合には、変換テーブルに基づきVPI / VCI 値をBに変換するが、変換後のB～Zの値に関しては試験セルを回収するために用いるZ以外は全て変換テーブル14の入力側にも設定することとする。

【0027】この条件下でVPI / VCI 値がAである1個の試験セルを通話路内導通試験回路10から送出し、スイッチ部8の出力端子#1に到達するようにスイッチ内のルーチングタグを設定した場合、試験セルは出力端子#1を経由した後に回線対応部11に入力される。ここで、ルーチングタグとはスイッチ部8の出力端子の位置を示すための情報であり、ATM交換機内で試験セルに付与される拡張ビット等を利用して設定される。

【0028】回線対応部11に入力された試験セルは、試験セル折り返し機構12で折り返されてセル計数手段6並びに図示しない他の機能の実行部の論理チャネルAを経由し、その後、ヘッダ変換回路13に入力される。試験セルのVPI / VCI 値はヘッダ変換回路13の変換テーブル14に基づいてAからBに変換されるが、この際、ルーチングタグの宛先は前記同様、出力端子#1

$$R \leq (1/N) R_{\max}$$

により与えられる。ここで、 R_{\max} は回線対応部11内において規定されている最大セル速度を意味する。

【0035】一方、通話路内導通試験回路10からの連続セル送出時間Tに一定の条件を設けた場合は、(1) 式

に設定する。この結果、試験セルはスイッチ部8において出力端子#1に到達するようにルーチングされ、再び回線対応部11に入力されるので、図1の太線で示したルートを周回することとなる。

【0029】本動作の繰り返しにより試験セルはVPI / VCI 値をAからYまで周期的に変更しながら回線対応部11に設定された各論理チャネルを繰り返し経路することとなる。AからYまでの合計値が回線対応部11に設定することができる最大容量のチャネル数である場合は、全ての論理チャネルの試験が1度の試験で完了することになる。

【0030】最後に、回線対応部11ではVPI / VCI 値をYからZへ変換し、ルーチングタグを通話路内導通試験回路10が接続されているスイッチ部8の出力端子#Nに設定することにより、試験セルが通話路内導通試験回路10に回収される。通話路内導通試験回路10では回収した試験セルに対する照合を行い、ビット誤り等がないことを確認することにより回線対応部11の全ての論理チャネルに対する試験の正常性を確認する。

【0031】このように本実施例によれば、回線対応部11の全論理チャネルの試験に要する試験回数を1回にすることができるので、論理チャネル数の分だけ試験を実施していた従来の試験方式に比べて試験時間を大幅に短縮できる。

【0032】

【実施例2】前述した第1の実施例では1個の試験セルを用いた試験方式について述べたが、第2の実施例では複数の試験セルを連続して送出する場合の試験方式について述べる。なお、装置構成は第1の実施例と同様である。

【0033】第1の実施例で示したように、試験セルは物理的に閉じた1つのループ上を回るので、低速で試験セルを生成して試験ルートに送出した場合、複数の試験セルが多重されることになり、セルの送出速度以上の高速のセル流を作り出すことができる。但し、物理的に閉じた1つのループ上に存在することが可能な情報量には限界があることから、複数の試験セルを用いた試験を行う場合はループ上でのセルの転送速度を考慮した試験セルの送出を行う必要が生じる。

【0034】回線対応部11内のヘッダ変換回路13にN本の論理チャネルを設定した場合、回線対応部11では最大N本のVC (Virtual Channel) が多重されるので、通話路内導通試験回路10からの試験セル送出時間に制限を設けない場合、試験セルの送出速度Rの上限は、

$$\dots\dots (1)$$

の条件よりも大きなRを用いることが可能となる。図5の物理的に閉じたループ上に存在する最大情報量はループ1周のセル転送に要する時間を T_0 とすれば、 $R_{\max} T_0$ であるから、Tの最大値を規定する条件は、

$$7 \\ R T \leq R_{\max} T_0$$

となる。(2) 式より、

$$T \leq (R_{\max} / R) T_0$$

である。

【0036】従って、本発明において複数の試験セルを用いた試験を実施する場合、Tの制限条件を設けない時は、 $0 < R \leq (1/N) R_{\max}$ の速度で通話路内導通試験回路10から試験セルを送出することとし、 $(1/N) R_{\max} < R \leq R_{\max}$ の速度で試験セルを送出する時には、連続セル送出時間Tに対して $T \leq (R_{\max} / R) T_0$ の条件を設けることとする。

【0037】この条件を満足することにより、複数の試験セルを用いた試験を、ATM交換機内での試験セルの輻輳によるセル損失無しに実施することが可能となり、同時に、回線対応部11内において規定されている最大セル速度 R_{\max} を用いた回線対応部11の試験を、それ以下のセルの送出速度Rを有する試験装置、ここでは通話路内導通試験回路10により行うことができる。

【0038】

【実施例3】図6は本発明方式の第3の実施例を示すもので、ここでは二面構成のスイッチ部を備えたATM交換機の回線対応部を試験する場合を示す。即ち、図中、4-1、4-2、4-3はATM多重回線、10は通話路内導通試験回路、11-1、11-2、11-3は回線対応部、15はスイッチ部である。

【0039】回線対応部11-1、11-2、11-3は基本的に第1の実施例における回線対応部11と同一であり、それぞれATM多重回線4-1、4-2、4-3とスイッチ部15との間に接続されている。スイッチ部15は二面構成のスイッチ部であり、複数、例えば2個の回線対応部11-1及び11-2を用いて図6の太線で示すような物理的に閉じたループを構成することにより、各回線対応部の全ての論理チャネルの試験を1回の試験で実施することができる。なお、複数の回線対応部を同時に試験することは、スイッチ部が一面構成の場合にも可能であり、二面構成の場合に限定するものではない。

【0040】図7は本発明方式の第3の実施例におけるヘッダ変換のようすの一例を示すものである。試験セル折り返し機構とヘッダ変換回路の機能を利用して、試験セルを回線対応部とスイッチ部との間で周期的に論理チャネルを変えながら導通させることにより1度の試験で

$$R1 : R2 : R3 = N1 : N2 : N3$$

となる。

【0045】前記(4)式を利用することにより、試験セルの転送速度の異なる回線対応部が混在するATM交換機にも試験を実施することが可能となる。また、通話内導通試験回路10の試験セルの送出速度が $R < R_{\max 2}$ の場合にも、VC変換数を $N1, N3 < N2$ と設定することにより、回線対応部11-2の最大負荷試験を実施す

$$8 \\ \dots\dots(2)$$

$$\dots\dots(3)$$

全ての論理チャネルの試験を行う点は第1の実施例と同様であるが、物理的に閉じたループ上に複数のヘッダ変換回路があることから変換テーブルの設定に留意する必要がある。本発明は1回の試験で回線対応部に定義された複数の全ての論理チャネルを試験することが目的であるから、試験セルが周期的に論理チャネルを変えながら物理的に閉じたループ上を転送されるように変換テーブルの設定を行う。

【0041】例えば、図7に示すように回線対応部11-1のヘッダ変換回路13-1内の変換テーブル14-1ではVPI/VC I値の変換を行わずに入力時と同一の値で送出することとし、回線対応部11-2のヘッダ変換回路13-2内の変換テーブル14-2では第1の実施例と同様の変換を行うようにすれば、1回の試験で複数の全ての論理チャネルの試験が完了することになる。最後に、回線対応部11-2のヘッダ変換回路13-2内の変換テーブル14-2でVPI/VC I値をYからZへ変換し、ルーチングタグを通話内導通試験回路10が接続されているスイッチ部15の出力端子に設定することにより、試験セルが通話内導通試験回路10に回収される。

【0042】なお、図7に示した変換テーブルの設定は一例であり、本発明を限定するものではない。

【0043】図8は本発明方式の第3の実施例におけるヘッダ変換のようすの他の例を示すものであり、ここでは3個の回線対応部11-1、11-2、11-3を用いて物理的に閉じたループを構成した場合に対応した例を示す。本図に示すように3個以上の回線対応部を用いて試験を行う場合には、各々の変換テーブルを経由する試験セルの回数を調整することにより、図6中のF1、F2、F3点において異なる試験セルの転送速度を実現することが可能である。

【0044】図6中の3個の回線対応部11-1、11-2、11-3のヘッダ変換回路13-1、13-2、13-3内の変換テーブル14-1、14-2、14-3に設定するVC変換の数を $N1, N2, N3$ (但し、 $N1 + N3 = N2$) とし、図8のような試験ルートを設定することにより、F1、F2、F3点での試験セルの転送速度 $R1, R2, R3$ の速度比は、

$$\dots\dots(4)$$

ることが可能である(但し、 $R_{\max 2}$ は回線対応部11-2において規定されている最大セル速度である。)。

【0046】

【実施例4】図9は本発明方式の第4の実施例を示すもので、ここでは通話路内導通試験回路、即ち試験装置を備えていないATM交換機の回線対応部を試験する場合を示す。即ち、図中、1は試験装置、4はATM多重回

線、8はスイッチ部、11cは回線対応部である。回線対応部11cは第1の実施例の場合と同様なセル計数手段6及びヘッダ変換回路13とともに、セルレベルでフィルタリングを行うことにより試験装置1で生成されスイッチ部8から出力される試験セルのみを折り返す試験セル折り返し機構12aを有している。

【0047】前記構成において、試験装置1で生成され、ATM多重回線4を介して回線対応部11cに入力された試験セルは、第1の実施例の場合と同様な物理的に閉じたループをその論理チャネルを周期的に変更しながら周回し、全ての論理チャネルの試験を行う。この際、ヘッダ変換回路13内の変換テーブルの設定は第1の実施例に準じるが、最後に、VPI/VC I値をYからZへ変換した際のルーチングタグは#Nでなく#1とし、再度、回線対応部11cへ試験セルを転送させる。

【0048】そして、試験セル折り返し機構12aにおいてVPI/VC I値がZを有するセルを試験セルの対象外とすることにより、該試験セルを折り返さずに試験装置1へ送出することとし、試験装置1では回収した試験セルに対する照合を行い、ビット誤り等がないことを確認することにより回線対応部11cの全ての論理チャネルに対する試験の正常性を確認する。

【0049】

【実施例5】図10は本発明方式の第5の実施例を示すもので、ここでは通話路内導通試験回路、即ち試験装置を備えていないATM交換機の複数の回線対応部を試験する場合を示す。即ち、図中、1は試験装置、4-1、4-2、4-3はATM多重回線、11c-1、11-2、11-3は回線対応部、15はスイッチ部である。回線対応部11c-1は第3の実施例の場合と同様なセル計数手段6-1及びヘッダ変換回路13-1とともに、セルレベルでフィルタリングを行うことにより試験装置1で生成されスイッチ部15から出力される試験セルのみを折り返す試験セル折り返し機構12a-1を有している。

【0050】前記構成において、試験装置1で生成され、ATM多重回線4-1を介して回線対応部11c-1に入力された試験セルは、第3の実施例の場合と同様な物理的に閉じたループをその論理チャネルを周期的に変更しながら周回し、各回線対応部11c-1、11-2、11-3の全ての論理チャネルの試験を行う。この際、ヘッダ変換回路13-1～13-3内の変換テーブルの設定は第3の実施例に準じるが、最後に、回線対応部11-2においてVPI/VC I値をYからZへ変換した際のルーチングタグは試験装置1が接続されている回線対応部11c-1へのものとし、再度、回線対応部11c-1へ試験セルを転送させる。

【0051】そして、試験セル折り返し機構12a-1においてVPI/VC I値がZを有するセルを試験セルの対象外とすることにより、該試験セルを折り返さずに

試験装置1へ送出することとし、試験装置1では回収した試験セルに対する照合を行い、ビット誤り等がないことを確認することにより回線対応部11c-1、11-2、11-3の全ての論理チャネルに対する試験の正常性を確認する。

【0052】また、第3の実施例の場合と同様に、試験セルの転送速度の異なる回線対応部が混在するATM交換機にも試験を実施することが可能である。また、試験装置1の試験セルの送出速度が回線対応部11-2において規定されている最大セル速度以下の場合にも、VC変換数をN1、 $N3 < N2$ と設定することにより、回線対応部11-2の最大負荷試験を実施することが可能である。

【0053】

【発明の効果】以上説明したように本発明によれば、一のATM多重回線とスイッチ部との間に介在し、セル計数等の種々の機能を複数の論理チャネル毎に実行する回線対応部を試験するATM交換機等の回線対応部の試験方式において、試験セル生成手段及び試験セル照合手段を有する試験装置をスイッチ部に接続し、回線対応部に、試験セルを折り返す試験セル折り返し機構及び試験セルが該回線対応部を通過する毎に試験セル内のVPI/VC I値を順次変化させるヘッダ変換回路を設けたため、回線対応部のセル計数やヘッダ変換等の種々の機能を1回の試験で全論理チャネルに亘って試験することが可能となり、試験時間を従来に比べて大幅に短縮することができる。

【0054】また、本発明によれば、一のATM多重回線とスイッチ部との間に介在し、セル計数等の種々の機能を複数の論理チャネル毎に実行する回線対応部を試験するATM交換機等の回線対応部の試験方式において、試験セル生成手段及び試験セル照合手段を有する試験装置をスイッチ部に接続し、複数の回線対応部にそれぞれ、試験セルを折り返す試験セル折り返し機構及び試験セルが該複数の回線対応部を通過する毎に試験セル内のVPI/VC I値を順次変化させるヘッダ変換回路を設けたため、複数の各回線対応部のセル計数やヘッダ変換等の種々の機能を1回の試験で全論理チャネルに亘って試験することが可能となり、試験時間を従来に比べて大幅に短縮することができる。

【0055】また、本発明によれば、試験装置より複数の試験セルを連続して送出するようになったため、回線対応部において規定されている最大セル速度を用いた回線対応部の試験を、セル生成速度がそれより小さい試験装置を用いて実現することができる。

【0056】また、本発明によれば、試験装置より複数の試験セルを連続して送出するとともに各回線対応部毎に試験セルの通過回数を変化させたため、異なる速度種別を有する複数の回線対応部を1種類の試験装置を用いて試験することが可能となる。

【図面の簡単な説明】

【図1】 本発明方式の第1の実施例を示す構成図

【図2】 従来の試験方式の一例を示す構成図

【図3】 本発明方式の第1の実施例の変形例を示す構成図

【図4】 本発明方式の第1の実施例の他の変形例を示す構成図

【図5】 第1の実施例におけるヘッダ変換のようすの一例を示す説明図

【図6】 本発明方式の第3の実施例を示す構成図

【図7】 第3の実施例におけるヘッダ変換のようすの一例を示す説明図

【図8】 第3の実施例におけるヘッダ変換のようすの他

の例を示す説明図

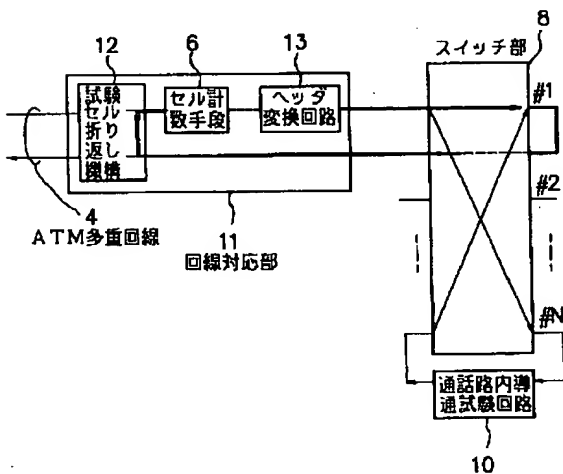
【図9】 本発明方式の第4の実施例を示す構成図

【図10】 本発明方式の第5の実施例を示す構成図

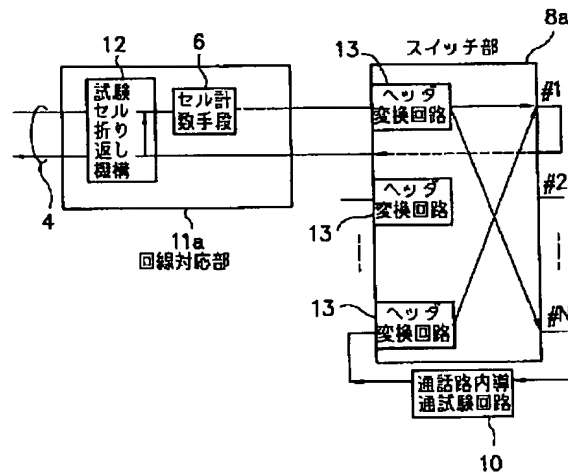
【符号の説明】

1…試験装置、4、4-1～4-3…ATM多重回線、6、6-1～6-3…セル計数手段、8、8a、15…スイッチ部、10…通話路内導通試験回路、11、11a、11b、11c、11-1～11-3、11c-1…回線対応部、12、12a、12-1～12-3、12a-1…試験セル折り返し機構、13、13-1～13-3…ヘッダ変換回路、14、14-1～14-3…変換テーブル。

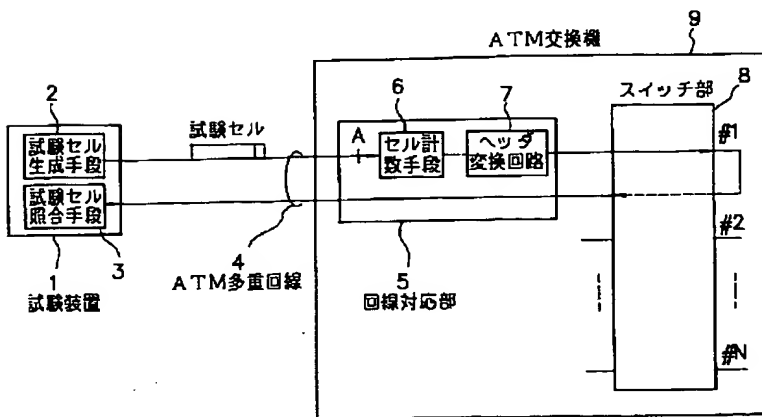
【図1】



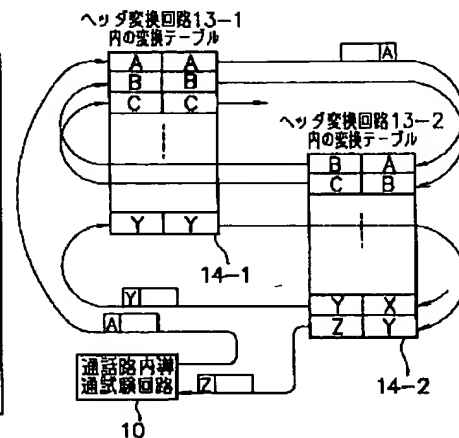
【図3】



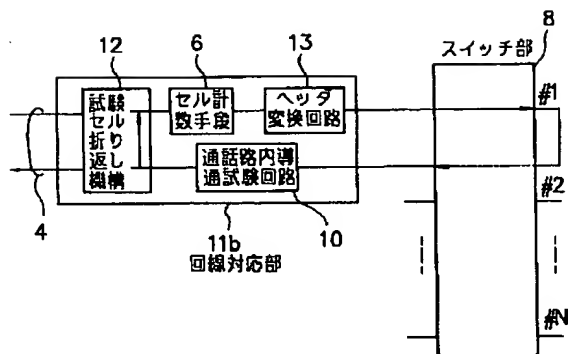
【図2】



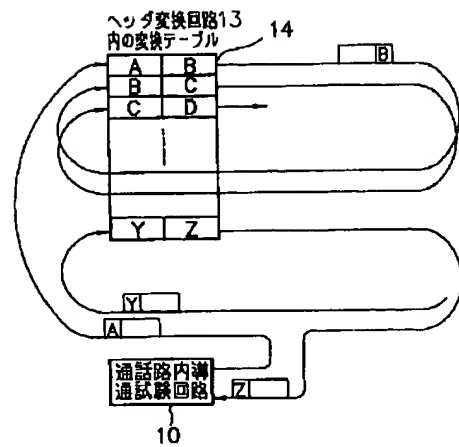
【図7】



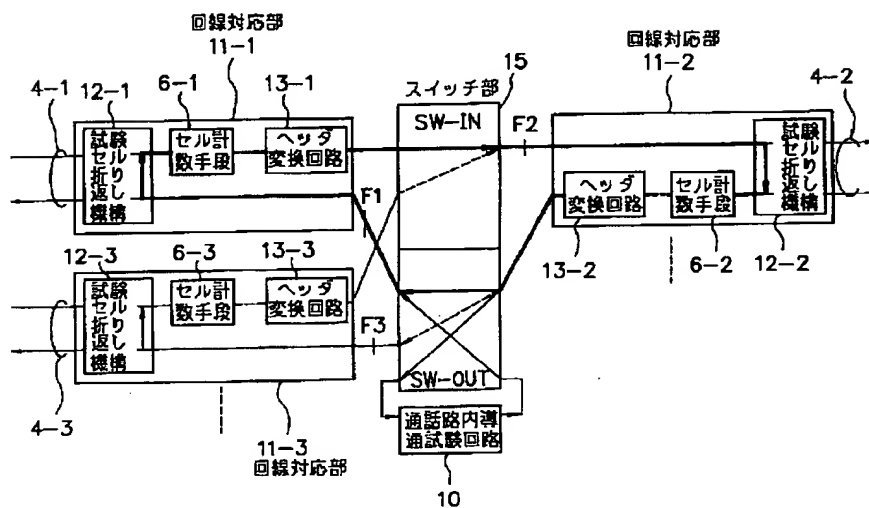
【図 4】



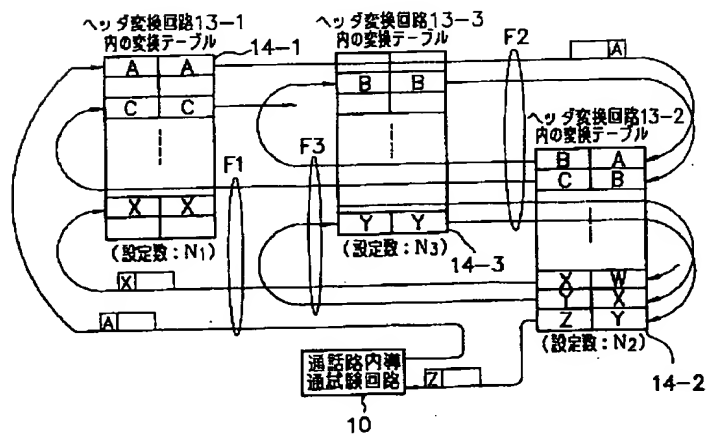
【図 5】



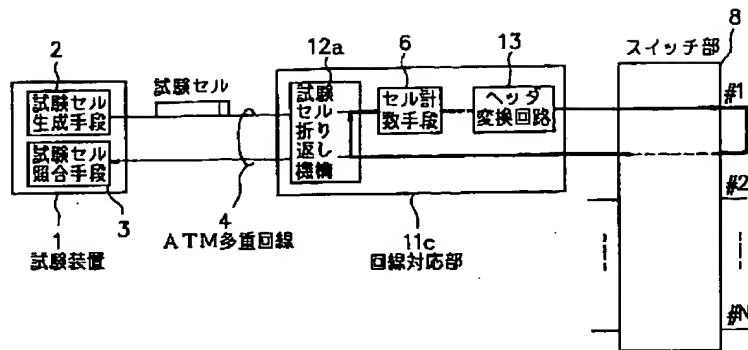
【図 6】



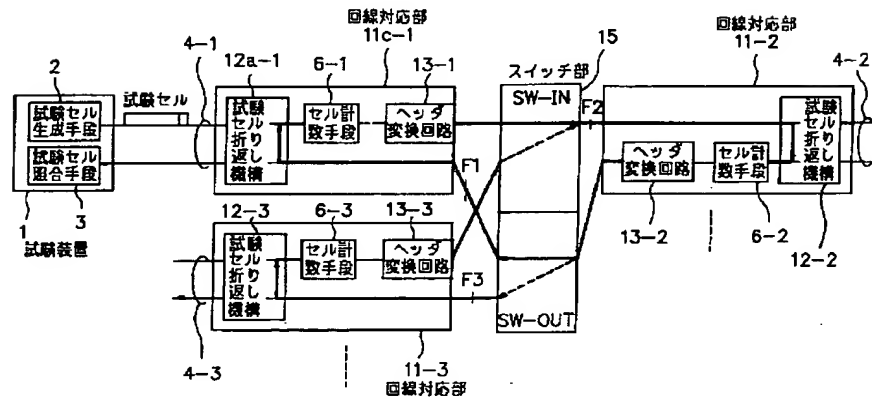
【図 8】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 Q 3/00

9371-5K

H 0 4 L 13/00

3 1 5 A